



Attorney Docket No.: 8038-1041

PATENT

IN THE U.S. PATENT AND TRADEMARK OFFICE

Applicant: Yasushi AOKI

Appl. No.: 10/645,585

Filed: August 22, 2003

For: LATCH CIRCUIT FOR LATCHING A PAIR OF  
COMPLEMENTARY DATA SIGNALS

L E T T E R

Assistant Commissioner for Patents  
P.O. Box 1450  
Alexandria, Virginia 22313-1450

Date: October 1, 2003

Sir:

Under the provisions of 35 U.S.C. § 119 and 37 C.F.R. § 1.55(a), the applicant(s) hereby claim(s) the right of priority based on the following application(s):

<u>Country</u>	<u>Application No.</u>	<u>Filed</u>
JAPAN	2002-242403	August 22, 2002

A certified copy of the above-noted application(s) is(are) attached hereto.

If necessary, the Commissioner is hereby authorized in this, concurrent, and future replies, to charge payment or credit any overpayment to Deposit Account No. 25-0120 for any additional fee required under 37 C.F.R. §§ 1.16 or 1.17; particularly, extension of time fees.

Respectfully submitted,

YOUNG & THOMPSON

By Benoît Castel  
Benoît Castel, #35,041

745 South 23<sup>rd</sup> Street, Suite 200  
Arlington, Virginia 22202  
(703) 521-2297

BC/psf

Attachment

(Rev. 04/19/2000)

日本国特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2002年 8月22日

出願番号

Application Number:

特願2002-242403

[ST.10/C]:

[JP2002-242403]

出願人

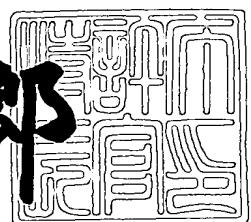
Applicant(s):

NECエレクトロニクス株式会社

2003年 5月13日

特許庁長官  
Commissioner,  
Japan Patent Office

太田信一郎



出証番号 出証特2003-3034352

【書類名】 特許願  
【整理番号】 71110539  
【提出日】 平成14年 8月22日  
【あて先】 特許庁長官 殿  
【国際特許分類】 H03K 3/0233  
【発明の名称】 ラッチ回路  
【請求項の数】 8  
【発明者】  
【住所又は居所】 東京都港区芝五丁目7番1号 日本電気株式会社内  
【氏名】 青木 泰  
【特許出願人】  
【識別番号】 000004237  
【氏名又は名称】 日本電気株式会社  
【代理人】  
【識別番号】 100096231  
【弁理士】  
【氏名又は名称】 稲垣 清  
【電話番号】 03-5295-0851  
【手数料の表示】  
【予納台帳番号】 029388  
【納付金額】 21,000円  
【提出物件の目録】  
【物件名】 明細書 1  
【物件名】 図面 1  
【物件名】 要約書 1  
【包括委任状番号】 9303567  
【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 ラッチ回路

【特許請求の範囲】

【請求項1】 サンプル信号によってサンプル時に活性化され、一対の相補データ信号をサンプリングするサンプル部と、ホールド信号によってホールド時に活性化され、前記サンプル部でサンプリングされた相補データ信号を一対のサンプル部出力ノードでラッチし、該ラッチした相補データ信号を一対のラッチ出力ノードを経由して出力するラッチ部とを備え、交互に生起するサンプル信号及びホールド信号に応答して相補データ信号を伝達するラッチ回路において、

サンプル時に前記一対のラッチ部出力ノードをプリチャージするプリチャージ回路を備えることを特徴とするラッチ回路。

【請求項2】 前記ラッチ部は、前記一対のサンプル部出力ノードから相補データ信号を夫々入力する第1及び第2のインバータと、該第1及び第2のインバータをホールド時に活性化するラッチ部活性化回路とを有し、

前記第1のインバータは、前記サンプル部出力ノードの一方がゲートに接続され、高電位電源と前記ラッチ部出力ノードの一方との間に接続される第1のトランジスタと、前記ラッチ部出力ノードの一方と前記サンプル部出力ノードの他方との間に接続され、サンプル時にオフとなる第2のトランジスタと、前記ラッチ部出力ノードの他方がゲートに接続され、前記サンプル部出力ノードの他方と低電位電源との間に接続される第3のトランジスタとを備え、

前記第2のインバータは、前記サンプル部出力ノードの他方がゲートに接続され、前記高電位電源と前記ラッチ部出力ノードの他方との間に接続される第4のトランジスタと、前記ラッチ部出力ノードの他方と前記サンプル部出力ノードの一方との間に接続され、サンプル時にオフとなる第5のトランジスタと、前記ラッチ部出力ノードの一方がゲートに接続され、前記サンプル部出力ノードの一方と前記低電位電源との間に接続される第6のトランジスタとを備える、請求項1に記載のラッチ回路。

【請求項3】 前記ラッチ部活性化回路は、前記第3のトランジスタと前記低電位電源との間に接続され、ホールド時にオンとなる第7のトランジスタと、

前記第6のトランジスタと前記低電位電源との間に接続され、ホールド時にオンとなる第8のトランジスタとを備える、請求項2に記載のラッチ回路。

【請求項4】 前記ラッチ部活性化回路は、前記第3のトランジスタと前記第6のトランジスタとを共通に接続するノードと前記低電位電源との間に接続され、ホールド時にオンとなる第7のトランジスタを備える、請求項2に記載のラッチ回路。

【請求項5】 前記サンプル部は、第1及び第2のデータ信号入力部を備え

前記第1のデータ信号入力部は、前記高電位電源と前記サンプル部出力ノードの一方との間に相互に直列に接続される、相補データ信号の一方がゲートに入力する第7のトランジスタ及びサンプル時にオンとなる第8のトランジスタと、前記低電位電源と前記サンプル部出力ノードの一方との間に相互に直列に接続される、相補データ信号の他方がゲートに入力する第9のトランジスタ及びサンプル時にオンとなる第10のトランジスタとを備え、

前記第2のデータ信号入力部は、前記高電位電源と前記サンプル部出力ノードの他方との間に相互に直列に接続され、相補データ信号の他方がゲートに入力する第11のトランジスタ及びサンプル時にオンとなる第12のトランジスタと、前記低電位電源と前記サンプル部出力ノードの他方との間に相互に直列に接続される、相補データ信号の一方がゲートに入力する第13のトランジスタ及びサンプル時にオンとなる第14のトランジスタとを備える、請求項2に記載のラッチ回路。

【請求項6】 前記サンプル部は、第1及び第2のデータ信号入力部と、該第1及び第2のデータ信号入力部をサンプル時に活性化するサンプル部活性化回路とを備え、

前記第1のデータ信号入力部は、前記高電位電源と前記サンプル部出力ノードの一方との間に接続され、相補データ信号の一方がゲートに入力する第7のトランジスタと、前記低電位電源と前記サンプル部出力ノードの一方との間に接続され、相補データ信号の他方がゲートに入力する第8のトランジスタとを備え、

前記第2のデータ信号入力部は、前記高電位電源と前記サンプル部出力ノード

の他方との間に接続され、相補データ信号の他方がゲートに入力する第9のトランジスタと、前記低電位電源と前記サンプル部出力ノードの他方との間に接続され、相補データ信号の一方がゲートに入力する第10のトランジスタとを備える、請求項2に記載のラッチ回路。

【請求項7】 前記サンプル部活性化回路は、前記高電位電源と前記サンプル部出力ノードの一方との間に前記第7のトランジスタと直列に接続され、サンプル時にオンとなる第11のトランジスタと、前記低電位電源と前記サンプル部出力ノードの一方との間に前記第8のトランジスタと直列に接続され、サンプル時にオンとなる第12のトランジスタと、前記高電位電源と前記サンプル部出力ノードの他方との間に前記第9のトランジスタと直列に接続され、サンプル時にオンとなる第13のトランジスタと、前記低電位電源と前記サンプル部出力ノードの他方との間に前記第10のトランジスタと直列に接続され、サンプル時にオンとなる第14のトランジスタとを備える、請求項6に記載のラッチ回路。

【請求項8】 前記サンプル部活性化回路は、前記第7のトランジスタと前記第9のトランジスタとを共通に接続するノードと前記高電位電源との間に挿入され、サンプル時にオンとなる第11のトランジスタと、前記第8のトランジスタと前記第10のトランジスタとを共通に接続するノードと前記低電位電源との間に挿入され、前記サンプル時にオンとなる第12のトランジスタとを備える、請求項6に記載のラッチ回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、ラッチ回路に関し、特に、入力する相補データ信号を相補クロック信号に応答して伝達するラッチ回路に関する。

【0002】

【従来の技術】

ラッチ回路は、入力される相補データ信号を相補クロック信号に応答してラッシュしつつ伝達する回路であり、一般的にCMOSラッチ回路が利用されている。

図6を参照して、特開2001-21786号公報に記載された従来のラッチ回

路について説明する。

#### 【0003】

ラッチ回路は、相補クロック信号 I C T、I C B の一方によって活性化され、相補データ入力信号 I T、I B をサンプリングするサンプル部 10 と、相補クロック信号 I C T、I C B の他方によって活性化され、サンプル部 10 でサンプリングされた相補データ信号をラッチし、相補データ出力信号 O T、O B として、次段の回路に出力するラッチ部 20 とを有する。

#### 【0004】

サンプル部 10 は、一方のクロック信号 I C B をゲートに入力する n チャネルトランジスタ Q1、Q4 と、一方のデータ信号 I T をゲートに入力する n チャネルトランジスタ Q2、Q7 と、他方のデータ信号 I B をゲートに入力する N チャネルトランジスタ Q3、Q6 とを備える。トランジスタ Q2 と Q3 とは直列に接続され、この直列接続パスは、トランジスタ Q6 及び Q7 から成る直列接続パスと、並列に接続されて並列接続パスを構成する。この並列接続パスは、トランジスタ Q1 を介して高電位電源ライン VCC に接続され、また、トランジスタ Q4 を介して低電位電源ライン GND に接続される。トランジスタ Q2 のソース（サンプル部出力ノード N1）、及び、トランジスタ Q6 のソース（サンプル部出力ノードノード N2）から夫々、サンプル部 10 の相補データ出力信号 T C 及び B C が出力される。

#### 【0005】

ラッチ部 20 は、p チャネルトランジスタ Q9、Q13 と、n チャネルトランジスタ Q10～Q12、Q14、Q15 とから構成される。トランジスタ Q9～Q12 は、この順に高電位電源ライン VCC と低電位電源ライン GND との間に直列に接続される。トランジスタ Q13～Q15 は、この順に高電位電源ライン VCC とトランジスタ Q12 のドレインとの間に直列に接続される。トランジスタ Q9 及び Q13 のゲートには、サンプル部 10 の相補データ出力信号 B C 及び T C が夫々入力し、トランジスタ Q12 のゲートには、他方のクロック信号 I C T が入力する。トランジスタ Q9 のゲートは、更にトランジスタ Q14 と Q15 の直列接続ノード（ノード N2）に接続され、トランジスタ Q13 のゲートは、

更にトランジスタQ10とQ11の直列接続ノード（ノードN1）に接続される。また、トランジスタQ9とQ10の直列接続ノード（ラッチ部出力ノードN3）、及び、トランジスタQ13とQ14の直列接続ノード（ラッチ部出力ノードN4）からは夫々、本ラッチ回路の相補データ出力信号OT及びOBが出力される。トランジスタQ11のゲートは、出力信号OBを出力するラッチ部出力ノードN4に、トランジスタQ15のゲートは出力信号OTを出力するラッチ部出力ノードN3に夫々接続される。

#### 【0006】

サンプル部10のトランジスタQ2、Q3、Q6、Q7は、相補データ入力信号IT、IBを、相補データ信号TC、BCとして伝達するためのデータ入力トランジスタを構成し、トランジスタQ1、Q4は、サンプル時にデータ入力トランジスタを活性化するサンプル部活性化トランジスタを構成する。また、ラッチ部20のトランジスタQ9及びQ11は一方のインバータを構成し、トランジスタQ13及びQ15は、他方のインバータを構成し、双方のインバータは、互いの入力と出力とがたすき掛けに接続されている。トランジスタQ10、Q14は、電源電位を下げる電圧制限トランジスタを構成し、トランジスタQ12は、ホールド時にラッチ部20を活性化するラッチ部活性化トランジスタを構成する。

#### 【0007】

上記従来のラッチ回路は、以下のように作動する。サンプル部10は、クロック信号ICT及びICBが夫々“L”及び“H”的ときに、活性化されてサンプリング動作を行い、相補データ入力信号IT及びIBをサンプリングする。ラッチ部20は、クロックが切り替わりクロック信号ICTが“H”に立ち上がるとき活性化され、サンプル部10の出力ノードN1、N2から伝達される相補データ信号TC及びTBをラッチし、ラッチ部出力ノードN3、N4を経由して相補データ出力信号OT及びOBを次段の回路に与える。

#### 【0008】

次に、再びクロック信号ICT及びICBが夫々“L”及び“H”になると、サンプル部10は、再び活性化されて、新しい相補データ入力信号IT及びIBをラッチするので、次のクロック信号の切り替わりを待って、再びラッチ部20

がこれをラッチする。

### 【0009】

#### 【発明が解決しようとする課題】

サンプル部10が、以前の相補データ入力信号と異なるデータを持つ相補データ入力信号をサンプリングし、ラッチ部20のラッチ部出力ノードN3、N4の信号を反転させる際には、その時点でHレベルを出力している一方のラッチ部出力ノードに蓄えられた電荷は、ラッチ部20のトランジスタQ12を経由して、低電位電源ラインGNDに引き抜かれ、その出力ノードを“L”にする。また、その時点でLレベルを出力している他方のラッチ部出力ノードには、トランジスタQ9又はQ13を経由して高電位電源ラインVCCから電荷が注入され、その出力ノードを“H”にする。

### 【0010】

上記従来のラッチ回路では、サンプル部10が活性化されるサンプル時に、上記電荷の引き抜き及び注入が同時に行われるので、電源のエネルギー負担が大きくなり、電荷の引き抜き及び注入に要する時間が長くなる。この電荷の引き抜き及び注入に要する時間のために、出力ノードにおける信号反転に時間が掛かり、ラッチ回路のセットアップタイム幅及びホールドタイム幅から成る不感帯幅が大きくなり、信号入力のタイミングによっては、ラッチ回路の信号伝達に障害となるという問題がある。

### 【0011】

本発明は、上記に鑑み、従来のラッチ回路を改良し、相補データ出力信号の反転の際に、電源のエネルギー負担を軽減して信号反転に要する時間を短縮することにより、ラッチ回路の不感帯幅を小さくできるラッチ回路を提供することを目的とする。

### 【0012】

#### 【課題を解決するための手段】

上記目的を達成するために、本発明に係るラッチ回路は、サンプル信号によってサンプル時に活性化され、一対の相補データ信号をサンプリングするサンプル部と、ホールド信号によってホールド時に活性化され、前記サンプル部でサンプ

リングされた相補データ信号を一対のサンプル部出力ノードでラッチし、該ラッチした相補データ信号を一対のラッチ出力ノードを経由して出力するラッチ部とを備え、交互に生起するサンプル信号及びホールド信号に応答して相補データ信号を伝達するラッチ回路において、

サンプル時に前記一対のラッチ部出力ノードをプリチャージするプリチャージ回路を備えることを特徴とする。

#### 【0013】

本発明のラッチ回路によると、サンプル時に非活性化される双方のラッチ部出力ノードをプリチャージし、これをサンプル時にHレベルにするので、信号が反転する次のホールド時には、ラッチ部出力ノードの一方がこのHレベルからLレベルに反転すれば足り、双方のラッチ部出力ノードが何れも反転する従来のラッチ回路に比して、電源のエネルギー負担が軽減され、ラッチ回路の不感帯幅が小さくできる。

#### 【0014】

一般に、ラッチ回路の不感帯幅は、サンプル動作時における、ラッチ回路に保持されている古いデータを新しいデータに更新（反転）するのに要する時間で決まる。この時間が短ければ不感帯幅は小さくなり、長ければ大きくなる。本発明のラッチ回路では、サンプル時に出力ノードを電源電圧にプリチャージし、ラッチ回路に保持されている古いデータを破棄し、ニュートラルな状態にすることにより、新しいデータに更新するエネルギーを小さくするので、この更新に要する時間が短くなる。このため、ラッチ回路の不感帯幅を小さくできるものである。

#### 【0015】

本発明の好適な態様のラッチ回路では、前記ラッチ部は、前記一対のサンプル部出力ノードから相補データ信号を夫々入力する第1及び第2のインバータと、該第1及び第2のインバータをホールド時に活性化するホールド部活性化回路とを有し、

前記第1のインバータは、前記サンプル部出力ノードの一方がゲートに接続され、高電位電源と前記ラッチ部出力ノードの一方との間に接続される第1のトランジスタと、前記ラッチ部出力ノードの一方と前記サンプル部出力ノードの他方

との間に接続され、サンプル時にオフとなる第2のトランジスタと、前記ラッチ部出力ノードの他方がゲートに接続され、前記サンプル部出力ノードの他方と低電位電源との間に接続される第3のトランジスタとを備え、

前記第2のインバータは、前記サンプル部出力ノードの他方がゲートに接続され、前記高電位電源と前記ラッチ部出力ノードの他方との間に接続される第4のトランジスタと、前記ラッチ部出力ノードの他方と前記サンプル部出力ノードの一方との間に接続され、サンプル時にオフとなる第5のトランジスタと、前記ラッチ部出力ノードの一方がゲートに接続され、前記サンプル部出力ノードの一方と前記低電位電源との間に接続される第6のトランジスタとを備える。

#### 【0016】

上記構成を採用することにより、サンプル時におけるラッチ部出力ノードのプリチャージの際に、第2のトランジスタ及び第5のトランジスタの作用により、ラッチ部出力ノードとサンプル部出力ノードとの間の導通が遮断されるので、前記プリチャージ回路によるプリチャージが有効に行われる。

#### 【0017】

前記ラッチ部活性化回路は、前記第3のトランジスタと前記低電位電源との間に接続され、ホールド時にオンとなる第7のトランジスタと、前記第6のトランジスタと前記低電位電源との間に接続され、ホールド時にオンとなる第8のトランジスタとを備える構成を採用することができ、或いは、前記ラッチ部活性化回路は、前記第3のトランジスタと前記第6のトランジスタとを共通に接続するノードと前記低電位電源との間に接続され、ホールド時にオンとなる第7のトランジスタを備える構成を採用することもできる。後者の構成を採用すると、回路構成が簡素化される。

#### 【0018】

本発明の好ましい態様のラッチ回路では、前記サンプル部は、第1及び第2のデータ信号入力部を備え、

前記第1のデータ信号入力部は、前記高電位電源と前記サンプル部出力ノードの一方との間に相互に直列に接続される、相補データ信号の一方がゲートに入力する第7のトランジスタ及びサンプル時にオンとなる第8のトランジスタと、前

記低電位電源と前記サンプル部出力ノードの一方との間に相互に直列に接続される、相補データ信号の他方がゲートに入力する第9のトランジスタ及びサンプル時にオンとなる第10のトランジスタとを備え、

前記第2のデータ信号入力部は、前記高電位電源と前記サンプル部出力ノードの他方との間に相互に直列に接続され、相補データ信号の他方がゲートに入力する第11のトランジスタ及びサンプル時にオンとなる第12のトランジスタと、前記低電位電源と前記サンプル部出力ノードの他方との間に相互に直列に接続され、相補データ信号の方がゲートに入力する第13のトランジスタ及びサンプル時にオンとなる第14のトランジスタとを備える。

#### 【0019】

或いは、上記に代えて、前記サンプル部は、第1及び第2のデータ信号入力部と、該第1及び第2のデータ信号入部をサンプル時に活性化するサンプル部活性化回路とを備え、

前記第1のデータ信号入力部は、前記高電位電源と前記サンプル部出力ノードの一方との間に接続され、相補データ信号の方がゲートに入力する第7のトランジスタと、前記低電位電源と前記サンプル部出力ノードの一方との間に接続され、相補データ信号の他方がゲートに入力する第8のトランジスタとを備え、

前記第2のデータ信号入力部は、前記高電位電源と前記サンプル部出力ノードの他方との間に接続され、相補データ信号の他方がゲートに入力する第9のトランジスタと、前記低電位電源と前記サンプル部出力ノードの他方との間に接続され、相補データ信号の方がゲートに入力する第10のトランジスタとを備える構成を採用することも出来る。

#### 【0020】

上記サンプル部活性化回路は、前記高電位電源と前記サンプル部出力ノードの一方との間に前記第7のトランジスタと直列に接続され、サンプル時にオンとなる第11のトランジスタと、前記低電位電源と前記サンプル部出力ノードの一方との間に前記第8のトランジスタと直列に接続され、サンプル時にオンとなる第12のトランジスタと、前記高電位電源と前記サンプル部出力ノードの他方との間に前記第9のトランジスタと直列に接続され、サンプル時にオンとなる第13

のトランジスタと、前記低電位電源と前記サンプル部出力ノードの他方との間に前記第10のトランジスタと直列に接続され、サンプル時にオンとなる第14のトランジスタとを備える構成を採用できる。或いは、これに代えて、上記サンプル部活性化回路は、前記第7のトランジスタ及び前記第9のトランジスタと共に接続するノードと前記高電位電源との間に挿入され、サンプル時にオンとなる第11のトランジスタと、前記第8のトランジスタ及び前記第10のトランジスタと共に接続するノードと前記低電位電源との間に挿入され、前記サンプル部にオンとなる第12のトランジスタとを備える構成を採用することもできる。後者の構成を採用すると、構成がより簡素化される。

### 【0021】

#### 【発明の実施の形態】

以下、図面を参照し本発明の実施形態例に基づいて本発明を更に詳細に説明する。図1は、本発明の一実施形態例に係るラッチ回路を示す回路図である。ラッチ回路は、相補データ入力信号IT及びIBを、相補クロック信号ICT及びICBに応答してサンプリングするサンプル部10と、サンプル部10でサンプリングされた相補データ信号をラッチして次段の回路に伝達するラッチ部20と、サンプル時にラッチ部20の出力ノードN3、N4をプリチャージするプリチャージ部30とから構成される。

### 【0022】

サンプル部10は、4つのnチャネルトランジスタQ1～Q4が、この順に高電位電源ラインVCCから低電位電源ラインGND迄に直列に接続された第1のデータ入力部と、4つのnチャネルトランジスタQ5～Q8が、この順に高電位電源ラインVCCから低電位電源ラインGND迄に直列に接続された第2のサンプル部とから成る。データ入力トランジスタを成すトランジスタQ1及びQ8のゲートには、一方のデータ信号ITが入力され、データ入力トランジスタを成すトランジスタQ4及びQ5のゲートには、他方のデータ信号IBが入力される。

### 【0023】

サンプル部活性化トランジスタQ2、Q3、Q6、Q7のゲートには、サンプル時に“H”となるクロック信号ICBが入力される。活性化トランジスタQ2

とQ3とを接続するノードN1は、サンプル部10の一方の出力信号TCをラッチ部20に入力する一方のサンプル部出力ノードを構成し、活性化トランジスタQ6とQ7とを接続するノードN2は、サンプル部10の他方の出力信号BCをラッチ部20に入力する他方のサンプル部出力ノードを構成する。

## 【0024】

ラッチ部20は、pチャネルトランジスタQ9、Q13と、nチャネルトランジスタQ10～Q12、Q14～16とから構成される。トランジスタQ9、Q11及びトランジスタQ13、Q15は夫々、CMOSインバータを構成する。トランジスタQ9～Q12は、この順に高電位電源ラインVCCから低電位電源ラインGNDまで直列に接続される。トランジスタQ13～Q16は、この順に高電位電源ラインVCCから低電位電源ラインGNDまで直列に接続される。トランジスタQ13及びQ9のゲートには夫々、サンプル部出力ノードN1、N2を経由して、サンプル部10からの相補出力信号TC及びBCが入力される。トランジスタQ15のゲートは、ラッチ部出力ノードN3であるトランジスタQ9とQ10の接続ノードに接続され、トランジスタQ11のゲートは、ラッチ部出力ノードN4であるトランジスタQ13とQ14の接続ノードに接続される。トランジスタQ10、Q12、Q14、Q16の各ゲートには、ホールド時に“H”となるクロック信号ICTが入力される。トランジスタQ12及びQ16は、ホールド時にオンとなり、これらCMOSインバータを活性化するラッチ部活性化トランジスタを構成する。また、トランジスタQ10及びQ14は、サンプル時にオフとなり、ラッチ部出力ノードN3及びN4と、サンプル部出力ノードN1及びN2とを夫々切り離すカットオフトランジスタを構成する。

## 【0025】

プリチャージ部30は、pチャネルトランジスタQ17、Q18から成る。トランジスタQ17は、高電位電源ラインVCCと、ラッチ部20の出力信号OTを出力するラッチ部出力ノードN3との間に接続され、そのゲートには、サンプル時に“L”となるクロック信号ICTが入力される。トランジスタQ18は、高電位電源ラインVCCと、ラッチ部20の出力信号OBを出力するラッチ部出力ノードN4との間に接続され、そのゲートには、サンプル時に“L”となるク

ロック信号 I C T が入力される。

#### 【0026】

上記実施形態例のラッチ回路は以下のように作動する。サンプル部 10 は、クロック信号 I C T 及び I C B が夫々 “L” 及び “H” となるサンプル時に、活性化トランジスタ Q2、Q3、Q6、Q7 がオンとなって活性化される。つまり、サンプル部 10 は、この時点でサンプリング動作を行い、相補データ入力信号 I T 及び I B をサンプリングする。次に、クロック信号 I C T 及び I C B が夫々 “H” 及び “L” となるホールド時に、サンプル部 10 は、非活性となり、サンプリングした相補データ入力信号 I T、I B を、サンプル部出力ノード N1、N2 に相補データ信号 T C 及び B C として保持する。ラッチ部 20 は、この時点で、トランジスタ Q10、Q12、Q14、Q16 がオンとなって活性化される。つまり、ラッチ部 20 は、この時点で相補データ信号 T C 及び B C をラッチし、これを相補データ出力信号 O T 及び O B として、ラッチ部出力ノード N3、N4 を経由して次段の回路に伝達する。

#### 【0027】

次に、再び相補クロック信号 I C T 及び I C B が夫々 “L” 及び “H” となるサンプル時に、サンプル部 10 は、次の相補データ入力信号 I T 及び I B をラッチする。プリチャージ部 30 のトランジスタ Q17、Q18 は、この時点で、つまりクロック信号 I C T が “L” になるとオンになり、高電位電源ライン VCC から出力ノード N3、N4 に向けて電荷を注入し、当該出力ノード N3、N4 に保持されていた信号が “1” (H) であるか “0” (L) であるかに拘わらず、双方のラッチ部出力ノード N3、N4 を H レベルにプリチャージする。トランジスタ Q10 は、このサンプル時にオフとなり、ラッチ部出力ノード N3 とサンプル部出力ノード N1 とを切り離し、また、トランジスタ Q14 は、同様にこのサンプル時にオフとなり、ラッチ部出力ノード N4 とサンプル部出力ノード N2 を切り離す。これによって、プリチャージ部 30 によるラッチ部出力ノード N3 及び N4 のプリチャージ動作に際して、出力ノード N3 と N4 の電位をほぼ等電位にすることが可能になる。

#### 【0028】

次いで、相補クロック信号ICT及びICBが夫々“H”及び“L”となるホールド時に、サンプル部10は非活性化され、ラッチ部20は活性化され、プリチャージ部30はそのプリチャージを停止する。これによって、サンプル部10は、保持している相補データ信号TC及びBCをラッチ部20に与え、ラッチ部20は、トランジスタQ9～Q16のフリップフロップ動作によってこれをラッチすることで、“H”レベルにプリチャージされている出力ノードN3、N4の一方をLレベルに引き下げる。

#### 【0029】

本実施形態例では、上記のように、サンプル時に、相補クロック信号ICTがHレベルになることで非活性化されたラッチ部20の双方の出力ノードN3、N4をHレベルにプリチャージする。このため、その後にラッチ部20が活性化されて、相補データ信号TC及びBCをラッチする際に、ラッチ部20は、一方の出力ノードN3（又はN4）のみをHレベルからLレベルに下げることで信号反転を行い、他方の出力ノードN4（又はN3）については、そのラッチに際して電位を反転させる必要がない。つまり、高電位電源ラインVCCから前記他方の出力ノードN4（又はN3）への電荷の注入は既に終了しており、前記一方の出力ノードN3（又はN4）から低電位電源ラインGNDへの電荷引き抜きのみを行うことで、信号伝達に際して必要な信号反転が可能となる。従って、電源ラインのエネルギー負担が軽減でき、信号反転の時間が短縮できる。これによって、ラッチ回路における不感帯幅を小さくできる。以下、図5のタイミングチャートを参照して本発明における回路動作を従来の回路動作と比較して詳細に説明する。

#### 【0030】

図5は、従来及び上記実施形態例に係るラッチ回路における相補データ信号と相補クロック信号とのタイミング関係を示している。同図において、クロック信号ICTが、サンプル動作とホールド動作の切り替わりタイミングを規定しており、このクロック信号ICTの切り替わりタイミングと、相補データ入力信号IT/IBの入力タイミングとの関係で、信号伝達の状況が異なることを、(a)、(b)及び(c)の各場合について示している。サンプル部出力ノードにおける

る相補データ信号は、何れの場合にも、ホールド時のクロック信号ICTの立ち上がりタイミングでラッチされる。

#### 【0031】

従来のラッチ回路は、同図(a)のタイミングでは、サンプル時の適当なタイミングで相補データ入力信号IT/IBが入力し、その相補データ入力信号の切り替わりによって相補データ出力信号OT/OBが切り替わり、ホールド期間を開始するクロック信号ICTの立ち上がりでラッチされる。ところが、同図(b)のタイミングでは、相補データ入力信号IT/IBが、サンプル時の終了間際に遅れて入力したため、相補データ出力信号OT/OBは、中間値を示し正常な出力が得られないことがある。ここで、相補データ入力信号IT/IBが、同図に示したセットアップタイム及びホールドタイムから成る不感帯の間に入力する場合には、このような中間値を示すこととなる。同図(c)の場合には、既にクロック信号ICTがホールド期間に移行し、そのホールドタイムを過ぎた後に、相補データ入力信号IT/IBが切り替わったので、このホールド期間における相補データ出力信号OT/OBの切り替わりが行われない旨、つまり正常な動作が得られる旨が示されている。従来のラッチ回路では、図示のように、セットアップタイム及びホールドタイムから成る不感帯の幅が大きく、この不感帯中に入力する相補データ信号は正常に伝達できない欠点があった。

#### 【0032】

しかし、上記実施形態例のラッチ回路では、同図(a)に示すように、相補データ入力信号IT/IBがサンプル時の適当な期間中に入力しても、相補データ出力信号OT/OBの双方は、何れもプリチャージ回路によってHレベルに設定され、ホールド期間を開始するクロック信号ICTの立ち上がりで、相補データ入力信号の変化に基づく信号遷移が行われる。ここで、同図(b)に示すように、相補データ入力信号IT/IBの信号変化が、ホールド期間を開始するクロック信号ICTの立ち上がり前に完了していれば、本発明の構成、つまりサンプリング時にノードN3及びN4の電位をほぼ等電位にすることにより、ホールド期間の際、サンプル時に導入された相補データ入力信号IT/IBによってそれらのノードの一方の電荷を引き抜く動作で済むため、その動作を高速で行うことが

出来る。そのため、セットアップタイムが短縮できる。また、同図(c)に示すように、相補データ入力信号がホールド時のクロック信号I C Tの立ち上がり以後に変化しても、クロック信号C Tによってサンプル部が不活性化されているので、相補データ出力信号の信号変化はない。つまり、上記実施形態例のラッチ回路は、従来のラッチ回路に比して、セットアップタイム及びホールドタイムを含む不感帯幅を小さくできる。

#### 【0033】

図2は、本発明の第2の実施形態例に係るラッチ回路を示す。本実施形態例では、第1の実施形態例におけるラッチ部20の活性化トランジスタQ12、Q16に代えて、双方のインバータに共通の活性化トランジスタQ19を配設している。その他の構成は、図1の実施形態例と同様である。本実施形態例では、活性化トランジスタの個数を減らしたことにより、構成を簡素化しており、その動作は先の実施形態例と同様である。

#### 【0034】

図3は、本発明の第3の実施形態例に係るラッチ回路を示す。本実施形態例のラッチ回路は、サンプル部10のデータ入力トランジスタQ21、Q22を、サンプル部活性化トランジスタQ20とQ23の間に接続する構成を採用し、また、データ入力トランジスタQ25、Q26を、サンプル部活性化トランジスタQ24とQ27の間に接続する構成を採用した点において、第2の実施形態例と異なる。このように、データ信号入力トランジスタとサンプル部活性化トランジスタとの高電位電源ラインVCCからの接続順序は、適宜に選択できる。その他の構成は、第2の実施形態例と同様であり、その動作も第2の実施形態例と同様である。

#### 【0035】

図4は、本発明の第4の実施形態例に係るラッチ回路の構成を示す。本実施形態例では、第3の実施形態例におけるサンプル部10の活性化トランジスタQ20及びQ24に代えて、双方のデータ入力部に共通の活性化トランジスタQ28を配設し、活性化トランジスタQ23及びQ27に代えて、双方のデータ入力部に共通の活性化トランジスタQ29を配設した点において、第3の実施形態例と

異なる。その他の構成は、第3の実施形態例と同様であり、その動作も第3の実施形態例と同様である。

#### 【0036】

以上、本発明をその好適な実施形態例に基づいて説明したが、本発明のラッチ回路は、上記実施形態例の構成にのみ限定されるものではなく、上記実施形態例の構成から種々の修正及び変更を施したものも、本発明の範囲に含まれる。例えば、各実施形態例におけるトランジスタの導電型や種類は、単に例示であり、トランジスタの導電型や種類は適宜選択可能である。

#### 【0037】

##### 【発明の効果】

以上、説明したように、本発明のラッチ回路によると、サンプル時にラッチ回路の出力ノードをプリチャージするプリチャージ回路を配設したことにより、ホールド時にはプリチャージされた出力ノードの電荷を引き抜く動作で済むため、その際の電源のエネルギー負担が軽減され、出力ノードにおける信号反転が速まる。このため、ラッチ回路における不感帯幅を小さくできる効果がある。

#### 【0038】

通信装置などで用いられるCDR (Clock Data Recovery) の位相比較器では、データエラーレートを小さくするために、位相比較精度を高める必要があり、不感帯幅の小さなラッチ回路が求められる。本発明のラッチ回路は、上記のように不感帯幅を小さくしたことにより、特にCDRの位相比較器として用いると、データエラーレートを小さくできる効果が得られる。

##### 【図面の簡単な説明】

###### 【図1】

本発明の第1の実施形態例に係るラッチ回路の回路図。

###### 【図2】

本発明の第2の実施形態例に係るラッチ回路の回路図。

###### 【図3】

本発明の第3の実施形態例に係るラッチ回路の回路図。

###### 【図4】

本発明の第4の実施形態例に係るラッチ回路の回路図。

【図5】

図1の実施形態例のラッチ回路の動作を、従来のラッチ回路の動作と比較して示すタイミングチャート。

【図6】

従来のラッチ回路の回路図。

【符号の説明】

10：サンプル部

20：ラッチ部

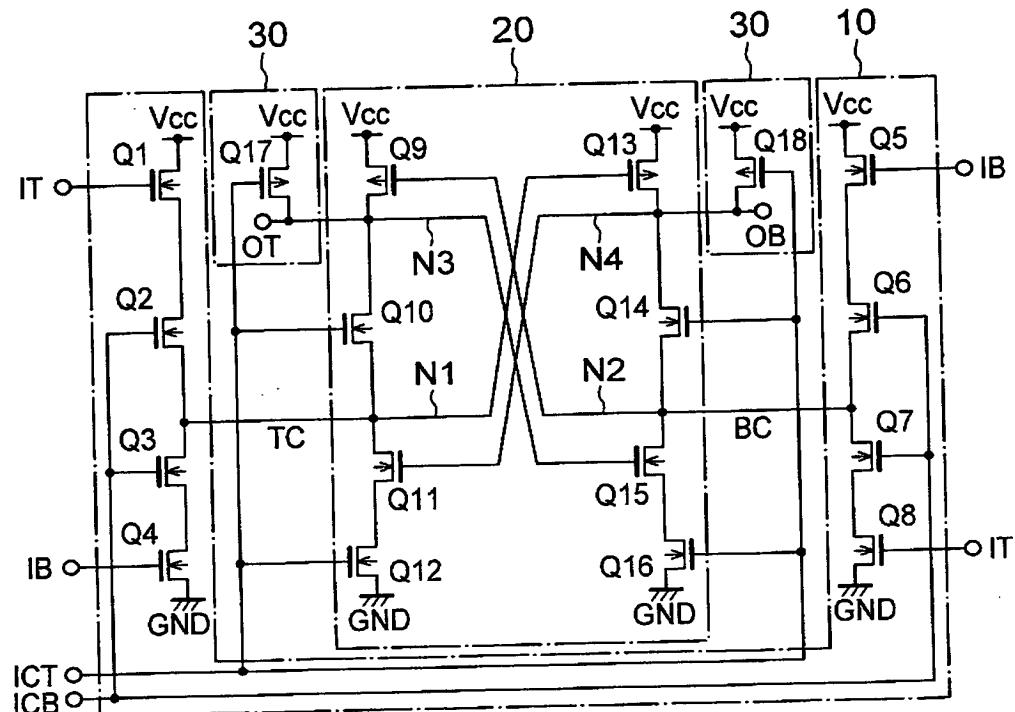
30：プリチャージ部

Q1～Q29：トランジスタ

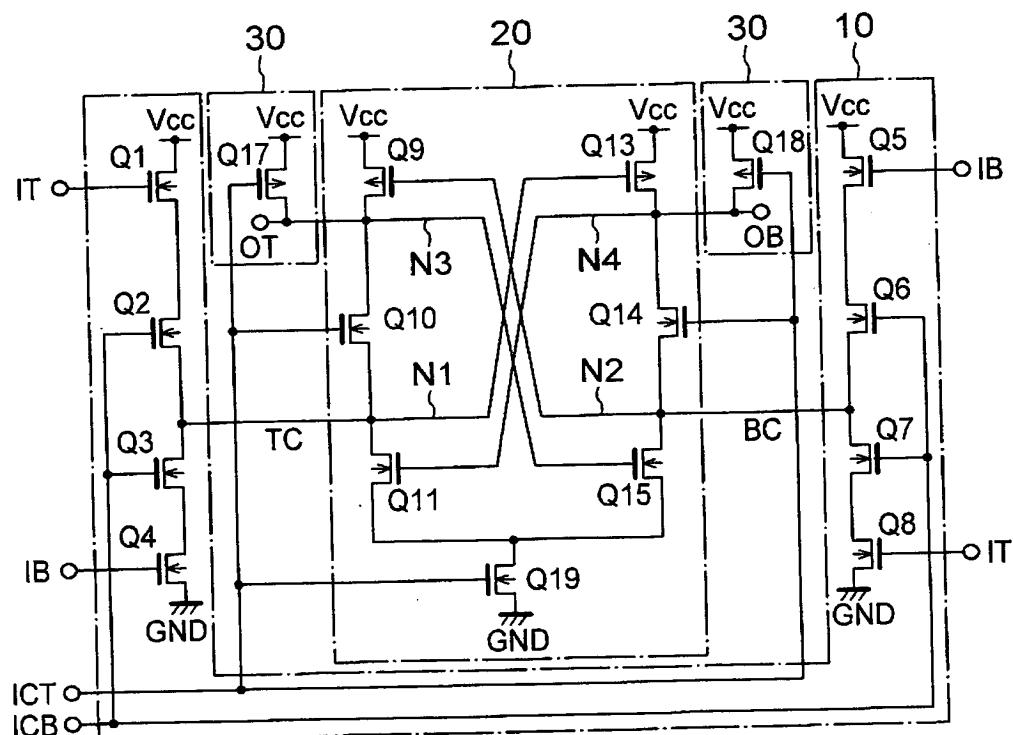
N1～N4：ノード

【書類名】 図面

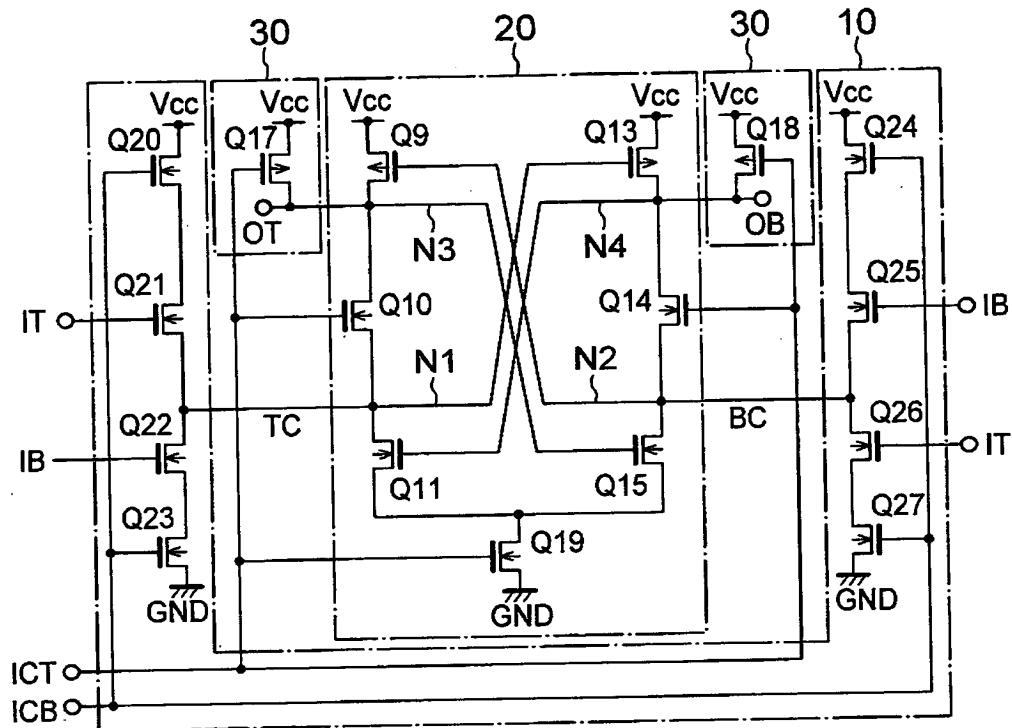
【図1】



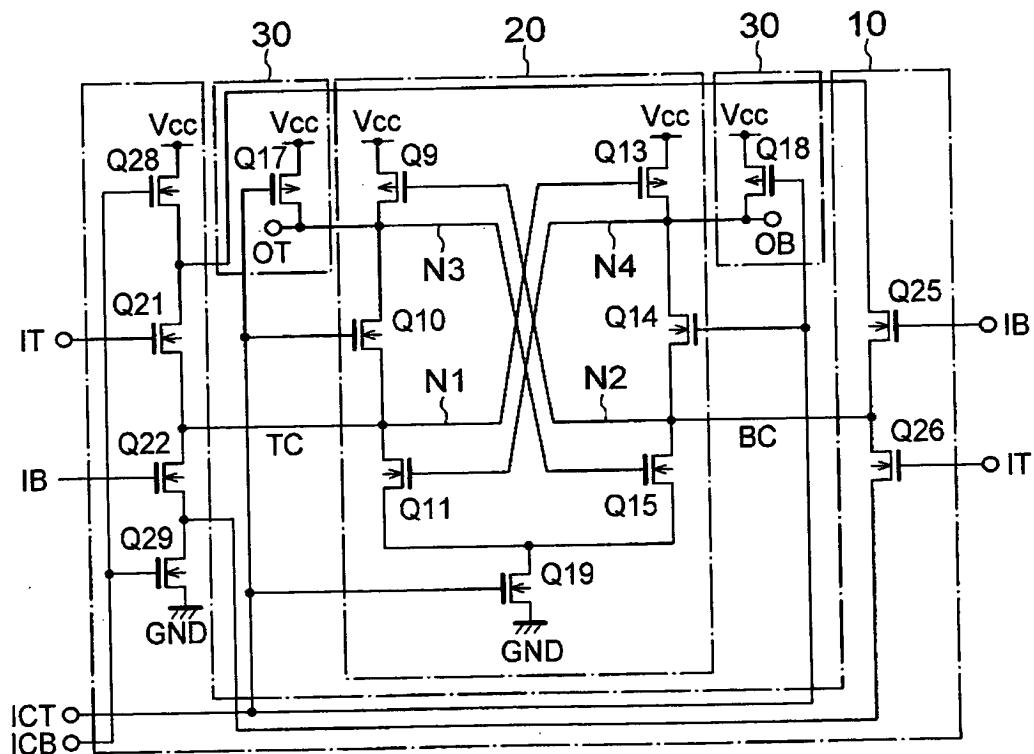
【図2】



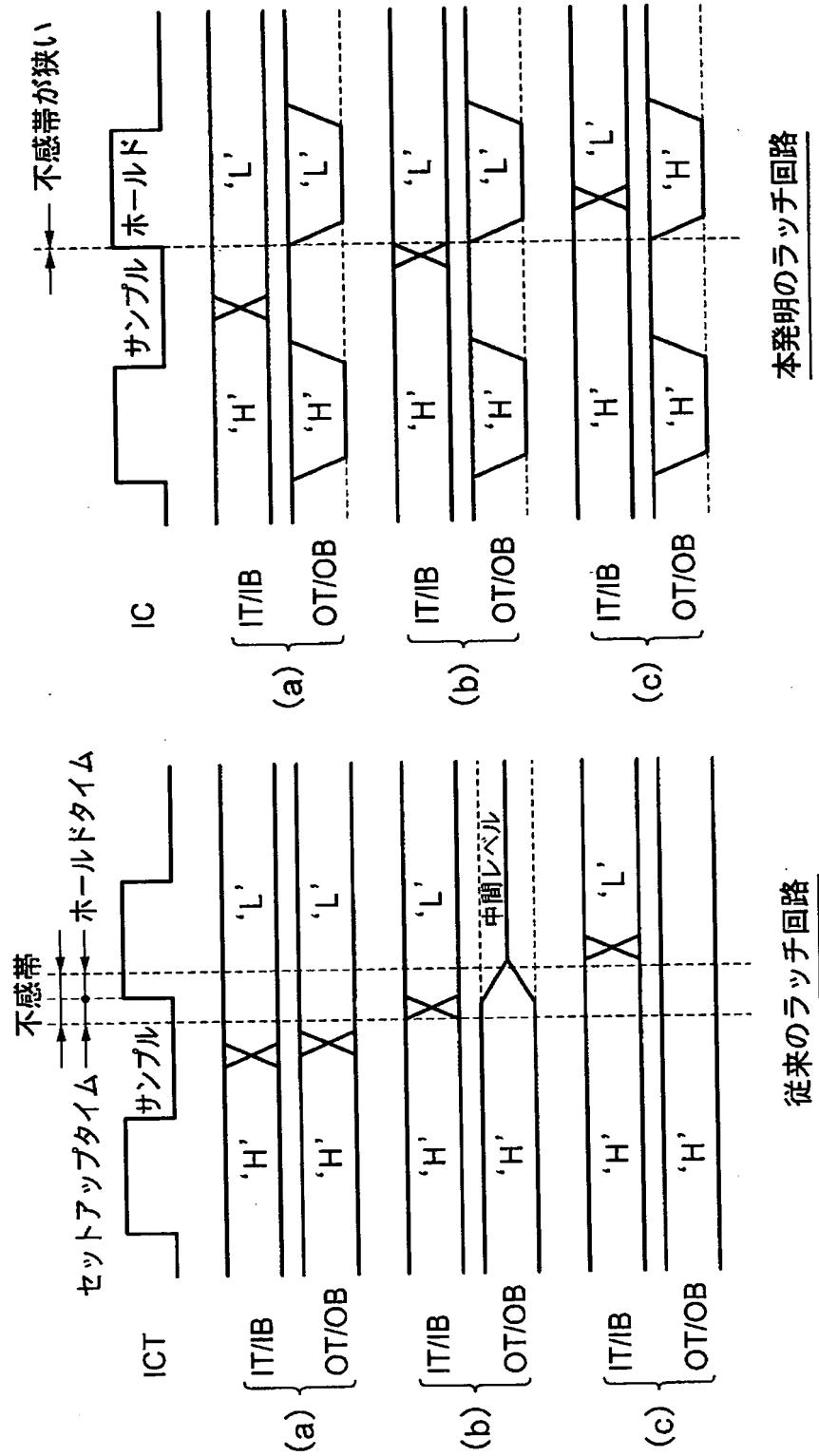
【図3】



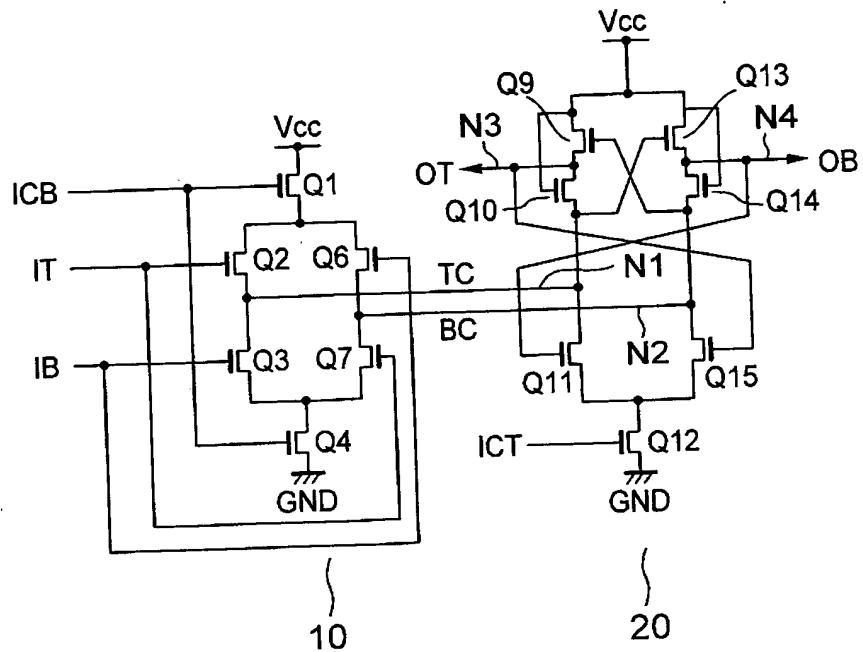
【図4】



【図5】



## 【図6】



【書類名】 要約書

【要約】

【課題】 ラッチ回路のセットアップタイム及びホールドタイムから成る不感帯幅を小さくする。

【解決手段】 ラッチ回路は、クロック信号ICBによってサンプル時に活性化され、相補データ入力信号IT、IBをサンプリングするサンプル部10と、クロック信号ICTによってホールド時に活性化され、サンプル部10でサンプリングされた相補データ信号TC、BCをラッチするラッチ部20と、サンプル時にラッチ部20の出力ノードN3、N4をHレベルにプリチャージするプリチャージ回路30とを備える。ラッチ部のトランジスタQ10及びQ14は、このプリチャージの際に、サンプル部出力ノードN1及びN2と、ラッチ部出力ノードN3及びN4とをそれぞれ切り離す。

【選択図】 図1

【書類名】 出願人名義変更届（一般承継）

【提出日】 平成15年 1月16日

【あて先】 特許庁長官 殿

【事件の表示】

【出願番号】 特願2002-242403

【承継人】

【識別番号】 302062931

【氏名又は名称】 N E C エレクトロニクス株式会社

【承継人代理人】

【識別番号】 100096231

【弁理士】

【氏名又は名称】 稲垣 清

【提出物件の目録】

【物件名】 承継人であることを証する登記簿謄本 1

【援用の表示】 平成15年1月10日提出の特願2002-31848

8の出願人名義変更届（一般承継）に添付のものを援用  
する。

【物件名】 承継人であることを証する承継証明書 1

【援用の表示】 平成15年1月16日提出の平成10年特許願第293

439号の出願人名義変更届（一般承継）に添付のもの  
を援用する。

【包括委任状番号】 0216503

【プルーフの要否】 要

出願人履歴情報

識別番号 [000004237]

1. 変更年月日 1990年 8月29日  
[変更理由] 新規登録  
住 所 東京都港区芝五丁目7番1号  
氏 名 日本電気株式会社

出願人履歴情報

識別番号 [302062931]

1. 変更年月日 2002年11月 1日

[変更理由] 新規登録

住 所 神奈川県川崎市中原区下沼部1753番地  
氏 名 NECエレクトロニクス株式会社